

PAT-NO:	JP406283999A
DOCUMENT-IDENTIFIER:	JP 06283999 A
TITLE:	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE
PUBN-DATE:	October 7, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
HOSOYA, SHIRO	
ITO, MASAO	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP05071457
 APPL-DATE: March 30, 1993

INT-CL (IPC): H03L007/00 , G06F001/10 , H03M001/08

US-CL-CURRENT: 331/108R

ABSTRACT:

PURPOSE: To simply minimize the influence of a noise from a digital circuit on an analog circuit by shifting the phase of a clock signal for controlling the respective circuits in the semiconductor integrated circuit device on which the digital circuit and analog circuits are both mounted in mixture.

CONSTITUTION: Four delay elements D1-D4 which differ in delay time are previously formed and a delay element having an optimum delay time is found from among those delay elements D1-D4; and the inputs of code signals X1 and X2 of a decoder 18 are properly fixed to activate only the found delay element.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-283999

(43)公開日 平成6年(1994)10月7日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/00	D	8730-5J		
G 0 6 F 1/10				
H 0 3 M 1/08	A	9065-5J		
		7165-5B		
			G 0 6 F 1/ 04	3 3 0 A

審査請求 未請求 請求項の数4 O L (全 16 頁)

(21)出願番号 特願平5-71457

(22)出願日 平成5年(1993)3月30日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 細谷 史郎

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

(72)発明者 伊藤 正雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社エル・エス・アイ研究所内

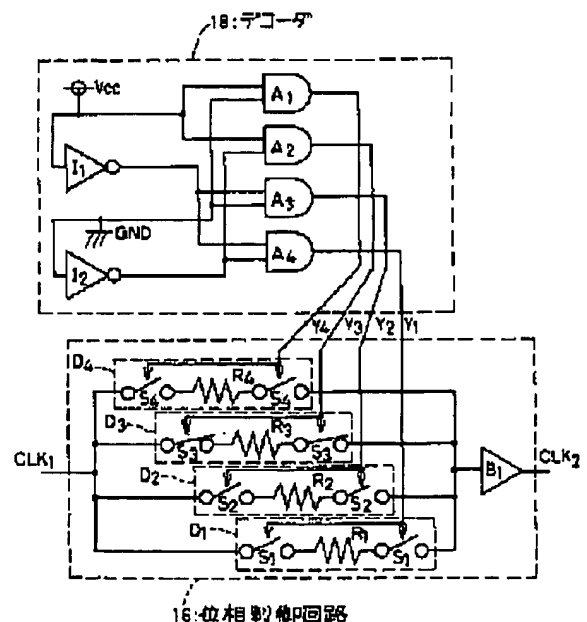
(74)代理人 弁理士 深見 久郎 (外2名)

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 デジタル回路およびアナログ回路が混載された半導体集積回路装置において、各回路を制御するクロック信号の位相をシフトすることによってアナログ回路がデジタル回路から受けるノイズによる影響を簡単に最小限にできるようにする。

【構成】 異なる遅延時間を有する4つの遅延素子D1～D4を予め形成し、それら遅延素子D1～D4の中から最適な遅延時間を有するものを探し出し、デコード18のコード信号X1、X2の入力を適宜固定することによって、その探し出した遅延素子だけを活性化するようにした。



1

【特許請求の範囲】

【請求項1】 半導体集積回路装置であって、

1枚の半導体基板と、

前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、

前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路と、

前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を含み、それら位相シフト素子のうちいずれかが活性化されることによって、前記第1および第2のクロック信号の位相を相対的に一定量だけシフトする位相制御手段とを含む、半導体集積回路装置。

【請求項2】 与えられたコード信号に基づいて前記位相シフト素子のいずれかを活性化するデコード手段を含む、請求項1に記載の半導体集積回路装置。

【請求項3】 1枚の半導体基板と、前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路とを含む、半導体集積回路装置の製造方法であって、

前記半導体基板上に、前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、

前記位相シフト素子のうちいずれかが活性化されると、前記デジタル回路および前記アナログ回路間におけるノイズによる影響が最小になるのか探し出す工程と、

前記探し出した位相シフト素子を、前記第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定する工程とを含む、半導体集積回路装置の製造方法。

【請求項4】 1枚の半導体基板と、前記半導体基板上に形成され、第1のクロック信号に基づいて動作するデジタル回路と、前記半導体基板上に形成され、前記第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作するアナログ回路とを含む、半導体集積回路装置の製造方法であって、

試作段階と量産段階とを含む、

前記試作段階はさらに、

前記半導体基板上に、前記第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、

前記位相シフト素子のうちいずれかが活性化されると、前記デジタル回路および前記アナログ回路間におけるノイズによる影響が最小になるのか探し出す工程とを含む、

前記量産段階はさらに、

前記探し出した位相シフト素子を、前記第1および第2

2

のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定した状態で前記複数の位相シフト素子を形成する工程を含む、

半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路装置およびその製造方法に関し、より特定的には、同一半導体基板上にアナログ回路とデジタル回路とが形成されてなるアナログーデジタル混載型の半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】従来より、同一シリコンウェハ上にアナログ回路とデジタル回路とが形成されてなるLSIなどの半導体集積回路装置が提供されている。このようなアナログーデジタル混載型のLSIにおいては、デジタル回路からアナログ回路へノイズが混入するという問題がある。その対策として、たとえば配線パターン、ピン配置などを工夫する方法のほか、アナログ回路およびデジタル回路を動作させるためのクロック信号の位相を相対的にシフトする方法がある。

【0003】たとえば電子情報通信学会研究報告ICD89-119“AD/DA変換器内蔵ビデオ信号処理LSI”の第62頁には、AD変換器と非同期にスイッチングする出力バッファをAD変換器から遠い位置に配置することによって、ノイズによる干渉を低減する方法が開示されている。

【0004】一方、図23は、特開平3-75976号に開示されたアナログーデジタル混載型の半導体集積回路装置であるワンチップマイクロコンピュータの構成を示すブロック図である。

【0005】図23に示されるように、このワンチップマイクロコンピュータは、CPU1a、タイマ1bなどを含むデジタル回路1と、A/Dコンバータ等を含むアナログ回路2とから構成される。

【0006】デジタル回路1は、システムクロック信号発生部3からの第1のクロック信号CLK1に基づいて動作する。アナログ回路2は、遅延回路4により第1のクロック信号CLK1の位相が遅らされた第2のクロック信号CLK2に基づいて動作する。

【0007】図24のタイミングチャートに示されるように、デジタル回路1では第1のクロック信号CLK1の立上がりおよび立下がりに伴ってノイズが発生する。たとえばデジタル回路1およびアナログ回路2が同一電源ラインに接続されている場合、デジタル回路1で発生したノイズは、その電源ラインを介してアナログ回路2へ混入する。このノイズによる影響はアナログ回路2を誤動作させ、その性能を劣化させる。このようなデジタル回路1からアナログ回路2へのノイズによる影響は電源ラインだけでなく、シリコンウェハ内部お

よび配線を含む電磁空間などの様々な経路を介して生じる。

【0008】そこで、このマイクロコンピュータでは、アナログ回路2を動作させる第2のクロック信号CLK2の位相は、遅延回路4によって第1のクロック信号CLK1の位相よりも遅らされている。このため、アナログ回路2が誤動作することはない。

【0009】他方、図25は、特開平2-28707号に開示されたアナログ-デジタル混載型の半導体集積回路装置である全二重型のモデム(MODEM)の構成を示すブロック図である。

【0010】図25に示されるように、このモデムは、メインクロックを発振する発振器5と、フリップフロップなどから構成される1/2分周器6と、送信回路7と、受信回路8とから構成される。

【0011】送信回路7および受信回路8は、それぞれデジタルPLL回路7aまたは8aと、D/Aコンバータ7bまたはA/Dコンバータ8bと、SCF(Switched Capacitor Filter)などから構成されるフィルタ群7cまたは8cとから構成される。

【0012】このモデムは、同一基板上にデジタル回路およびアナログ回路が形成され、それらに相互にシフトしたクロックを供給することによって、デジタル回路から電源ラインなどを介してアナログ回路へ混入するノイズの影響を防止するように構成されている。

【0013】

【発明が解決しようとする課題】しかしながら、実際のアナログ-デジタル混載型の半導体集積回路では、アナログ回路またはデジタル回路へ印加される直前のクロック信号の位相は、配線抵抗および浮遊容量によって、外部から印加されたクロック信号の位相よりも既に遅れている。また、デジタル回路がすべて同じ位相のクロック信号に基づいて動作する場合は少なく、ほとんどの場合、種々の異なる位相を有するクロック信号に基づいて動作する。さらに、デジタル回路の内部で、異なる周波数を有する複数種類のクロック信号が生成される場合も少なくない。その他、アナログ回路およびデジタル回路が非同期で動作する場合もある。

【0014】このため、アナログ回路およびデジタル回路に印加する各クロック信号の最適な位相差を設計前に予測することは困難である。このため、アナログ-デジタル混載型の半導体集積回路装置の性能を最適に設定することは極めて困難であった。

【0015】すなわち、従来は予測に基づいてアナログ回路およびデジタル回路に印加する各クロック信号の位相差が設定されていたので、アナログ回路の性能を最適にすることは困難であった。また、アナログ回路の性能を最適にするためには、何度もマスクの改訂を行ない、試行錯誤により最適の遅延時間を備えた遅延回路を形成する必要があった。

【0016】この発明の目的は、デジタル回路からアナログ回路へのノイズによる影響が可能な限り低減されたアナログ-デジタル混載型の半導体集積回路を提供することである。

【0017】この発明の他の目的は、アナログ回路のクロック信号およびデジタル回路のクロック信号の位相を相対的にシフトすることによって、デジタル回路からアナログ回路へのノイズによる影響を可能な限り低減することである。

【0018】この発明のさらに他の目的は、上記クロック信号間の最適の位相差を容易に特定することである。

【0019】この発明のさらに他の目的は、可能な限り少ない枚数のマスクによってアナログ回路の性能を最適にすることである。

【0020】

【課題を解決するための手段】この発明は、要約すれば、半導体集積回路装置であって、1枚の半導体基板と、デジタル回路と、アナログ回路と、位相制御手段とを含む。デジタル回路は、半導体基板上に形成され、第1のクロック信号に基づいて動作する。アナログ回路は、半導体基板上に形成され、第1のクロック信号と同じ周期の第2のクロック信号に基づいて動作する。位相制御手段は、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を含み、それら位相シフト素子のうちいずれかが活性化されることによって、第1および第2のクロック信号の位相を相対的に一定量だけシフトする。

【0021】上記半導体集積回路装置はさらに、与えられたコード信号に基づいて位相シフト素子のいずれかを活性化するデコード手段を含む。

【0022】この発明の他の局面に従うと、この発明は、要約すれば、1枚の半導体基板と、デジタル回路と、アナログ回路とを含む半導体集積回路装置の製造方法であって、半導体基板上に、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、位相シフト素子のうちいずれが活性化されると、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になるのか探し出す工程と、探し出した位相シフト素子を、第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定する工程とを含む。

【0023】この発明のさらに他の局面に従うと、この発明は、1枚の半導体基板と、デジタル回路と、アナログ回路とを含む半導体集積回路装置の製造方法であって、試作段階と量産段階とを含む。試作段階はさらに、半導体基板上に、第1および第2のクロック信号の位相を相対的にシフトし得る複数の位相シフト素子を形成する工程と、位相シフト素子のうちいずれが活性化されると、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になるのか探し出す工程とを含む。

量産段階はさらに、探し出した位相シフト素子を、第1および第2のクロック信号の位相を相対的にシフトするものとして、活性化し得るように固定した状態で複数の位相シフト素子を形成する工程を含む。

【0024】

【作用】この発明に従った半導体集積回路装置は、複数の位相シフト素子のうちいずれかを活性化することによって、第1および第2のクロック信号の位相を相対的に一定量だけシフトするように構成されているので、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になるようにそれらクロック信号間の位相差を設定することができる。

【0025】この発明に従った半導体集積回路装置の製造方法は、デジタル回路およびアナログ回路間におけるノイズによる影響が最小になる位相シフト素子を探し出し、その探し出した位相シフト素子を第1および第2のクロック信号の位相を相対的にシフトするものとして固定しているので、デジタル回路およびアナログ回路の性能が最適化された半導体集積回路装置を容易に製造することができる。

【0026】また、この発明に従った半導体集積回路装置の他の製造方法は、試作段階でアナログ回路およびデジタル回路間におけるノイズによる影響が最小になる位相シフト素子を探しておき、量産段階でその探し出した位相シフト素子を固定した状態で複数の位相シフト素子を形成しているので、試作段階から量産段階へ移行するときに少なくとも一度マスクの改訂を行なうだけでデジタル回路およびアナログ回路の性能が最適化された半導体集積回路装置を製造することができる。

【0027】

【実施例】次に、この発明に従った半導体集積回路装置およびその製造方法の実施例について図面を参照して詳しく説明する。

【実施例1】図1は、この発明に従った第1実施例であるアナログ-デジタル混載型の半導体集積回路装置の試作段階における構成を示すブロック図である。

【0028】図1に示されるように、この半導体集積回路装置10は、デジタル回路12、アナログ回路14、位相制御回路16、およびデコーダ18を含む。

【0029】デジタル回路12は、クロック信号入力端子20に印加された第1のクロック信号CLK1に基づいて動作する。アナログ回路14は、位相制御回路16からの第2のクロック信号CLK2に基づいて動作する。位相制御回路16は、クロック信号入力端子20に印加された第1のクロック信号CLK1をデコーダ18からの制御信号Yにより特定される一定時間だけ遅らせ、それを第2のクロック信号CLK2として出力する。デコーダ18は、コード信号入力端子22に印加されたコード信号X1~Xkをデコードし、それを制御信号Yとして出力する。

【0030】図2は、図1に示した位相制御回路16およびデコーダ18の構成の一例を示すブロック図である。

【0031】図2に示されるように、位相制御回路16は、互いに並列に接続された4つの遅延素子D1~D4と、それら遅延素子D1~D4と直列に接続された1つのバッファB1とを含む。遅延素子D1~D4は、制御信号Y1~Y4によって開閉される2つのスイッチング素子S1~S4と、それらの間に直列に接続された1つの抵抗R1~R4とを含む。抵抗R1~R4の値はそれぞれ異なる。

【0032】デコーダ18は、2つのインバータI1およびI2と、4つのANDゲートA1~A4とを含み、コード信号入力端子22に印加されたコード信号X1およびX2を論理演算し、その結果を制御信号Y1~Y4として出力する。

【0033】次の表1はコード信号X1、X2と制御信号Y1~Y4との関係を現わす真理値表である。

【0034】

20 【表1】

X2	X1	Y4	Y3	Y2	Y1
1	1	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
0	0	0	0	0	1

【0035】この表1から明らかなように、コード信号入力端子22にコード信号X1、X2が印加されると、それに対応する制御信号Y1~Y4がデコーダ18により出力される。その制御信号Y1~Y4に応答して遅延素子D1~D4のいずれかのスイッチング素子S1~S4がターンオンする。これにより、その遅延素子D1~D4は活性化される。

【0036】これら遅延素子D1~D4はさらに、その出力ノードに寄生する浮遊容量(図示せず)を含み、それら浮遊容量および抵抗R1~R4は時定数回路を構成する。それら遅延素子D1~D4の時定数は、各抵抗R1~R4の値が異なるので、すべて異なる。

【0037】したがって、位相制御回路16に入力された第1のクロック信号CLK1は、いずれかの遅延素子D1~D4により一定時間だけ遅らされ、バッファB1を介して第2のクロック信号CLK2として出力される。すなわち、遅延素子D1~D4は、第1のクロック信号CLK1および第2のクロック信号CLK2の位相を相対的にシフトし得る位相シフト素子である。

【0038】以上のように、まず1枚の半導体基板上にデジタル回路12およびアナログ回路14が形成されるとともに、位相制御回路16およびデコーダ18が形成される。さらに詳しくは、4つの遅延素子D1~D4

が形成される。それら遅延素子D1～D4の抵抗R1～R4の値は、設計段階である程度の予測の下に設定される。

【0039】次いで、それら遅延素子D1～D4のうちいずれが活性化されると、デジタル回路12およびアナログ回路14間におけるノイズの影響が最小になるのか探し出される。

【0040】図3は、アナログ回路14としてたとえばA/Dコンバータ14aが混載された半導体集積回路装置10を評価するための装置の構成を示すブロック図である。

【0041】図3に示されるように、A/Dコンバータ14aは、位相制御回路16からの第2のクロック信号CLK2に基づいてアナログ信号入力端子24に印加されたアナログ信号をデジタル信号に変換する。それらデジタル信号はデジタル回路12へ与えられるとともに、デジタル信号出力端子26を介して外部へ出力される。

【0042】この半導体集積回路装置10を評価するため、正弦波発生器28がアナログ信号入力端子24に接続され、スペクトルアナライザ30がD/Aコンバータ32を介してデジタル信号出力端子26に接続される。

【0043】これにより、正弦波発生器28により印加された正弦波はA/Dコンバータ14aによりA/D変換され、さらにD/Aコンバータ32によりD/A変換され、その結果がスペクトルアナライザ30により表示される。この状態でコード信号入力端子22に様々なコード信号X1～Xkが入力されると、それに基づいて位相制御回路16のいずれかの遅延素子D1～D4が活性化され、第1のクロック信号CLK1および第2のクロック信号CLK2の位相は相対的に様々にシフトされる。そして、いずれの遅延素子D1～D4が活性化されたとき、正弦波発生回路28により印加された正弦波の周波数以外の周波数が最小になるのかをスペクトルアナライザ30によって測定する。すなわち、正弦波の再現性が最も高いとき、デジタル回路12がA/Dコンバータ14aへ与えるノイズによる影響が最小で、A/Dコンバータ14aの性能は最適化される。

【0044】次に、アナログ回路14の性能が最適になる遅延素子D1～D4が第1および第2のクロック信号CLK1およびCLK2の位相を相対的にシフトするものとして固定される。

【0045】たとえばデコード信号X2が“1”で、X1が“0”のときアナログ回路14の性能が最適になると判断された場合、図4に示されるように、デコード18の一方の入力は電源Vccに接続され、他方の入力はグランドGNDに接続される。これにより、位相制御回路16の遅延素子D3だけが活性化され、位相制御回路16に第1のクロック信号CLK1が入力されると、その

遅延素子D3が有する遅延時間だけ遅らされ、第2のクロック信号CLK2として出力されることになる。

【0046】ここで、デコード18の入力を固定する方法について具体的に説明する。図5は、デコード18のインバータI1またはI2の具体的構成を示す平面図で、図6は図5に示されたインバータの回路図である。

【0047】図5および図6に示されるように、このインバータI1またはI2は、PチャネルMOSトランジスタQ1およびNチャネルMOSトランジスタQ2を含む。PチャネルMOSトランジスタQ1のソースは、電源Vccに接続された電源ノード34に接続され、NチャネルMOSトランジスタQ2のソースは、グランドGNDに接続されたグランドノード35に接続されている。PチャネルMOSトランジスタQ1のドレインおよびNチャネルMOSトランジスタQ2のドレインはインバータI1またはI2の出力ノード36に接続され、それらトランジスタQ1およびQ2のゲートはインバータI1またはI2の入力ノード37に接続されている。その出力ノード37の端部にはパッド38が形成されている。

【0048】したがって、このパッド38にプローブなどを用いて電源電圧またはグランド電圧を印加することによって位相制御回路16のいずれかの遅延素子D1～D4が活性化される。

【0049】そして、アナログ回路14の性能が最適になる遅延素子D1～D4が特定され、たとえば入力ノード37に電源電圧が印加されるべきことが明らかになった場合は、図7に示されるように、試作段階で用いたマスクと異なるマスクを用いて入力ノード37aが電源ノード34に接続されるようにレイアウトされる。

【0050】以上のように、この半導体集積回路装置の製造方法によれば、デジタル回路12からアナログ回路14へのノイズによる影響が最小限になるように、第1および第2のクロック信号CLK1、CLK2の位相差を最適に設定することができる。

【0051】また、試作段階ですべての遅延素子D1～D4を活性化し得るような配線パターンにレイアウトし、量産段階でアナログ回路14の性能が最適になる遅延素子D1～D4だけを活性化し得るような配線パターンにレイアウトしているので、試作段階から量産段階へ移行するときに一度だけマスクの改訂を行えばよい。

【0052】したがって、高性能で安価なアナログ・デジタル混載型の集積回路装置を短時間で製造し、しかもアナログ回路12の性能を最適にした状態で出荷することができる。

【0053】さらにこの実施例では、デコード18が設けられているので、2つのコード信号X1およびX2に基づいて4つの遅延素子D1～D4のいずれかを活性化することができる。

【0054】なお、この実施例では、4つの遅延素子D1～D4のうちいずれか1つが活性化されるが、2つ以

上が活性化されてもよい。この場合、各遅延素子D1～D4の遅延量は同じでもよい。このことは、以下の実施例でも同様である。

【実施例2】図8は、この発明に従った第2実施例であるアナログ-デジタル混載型の半導体集積回路装置におけるデコーダおよび位相制御回路の構成を示すブロック図である。

【0055】図8に示されるように、この位相制御回路40は、互いに直列に接続された4つの遅延素子D5～D8を含む。さらに、これら遅延素子D5～D8は、それぞれ2つのインバータI3およびI4、I5およびI6、I7およびI8、またはI9およびI10と、2つのスイッチング素子S1および*S1、S2および*S2、S3および*S3、S4および*S4とを含む。

【0056】デコーダ42は、与えられたコード信号X1およびX2を論理演算し、その結果を制御信号Y1、*Y1～Y4および*Y4として出力する。

【0057】次の表2はコード信号X1、X2と制御信号Y1～Y4との関係を表わす真理値表である。

【0058】

【表2】

X2	X1	Y4	Y3	Y2	Y1
1	1	1	1	1	1
1	0	0	1	1	1
0	1	0	0	1	1
0	0	0	0	0	1

【0059】この表2から明らかなように、デコーダ42へコード信号X1、X2が与えられると、それに対応する制御信号Y1、*Y1～Y4、*Y4がデコーダ42から出力される。スイッチング素子S1、*S1～S4、*S4は、その制御信号Y1、*Y1～Y4、*Y4にตอบสนองしてターンオンまたはターンオフする。ここで、信号の前に付されている*印は、その信号が負論理（“L”レベルのときに活性状態）であることを示す。

【0060】したがって、スイッチング素子S1～S4と、スイッチング素子*S1～S4とは交互にターンオンまたはターンオフするので、位相制御回路40を構成するインバータの有効数が変化し、全体の遅延時間が変化する。

【0061】このように、位相シフト素子はインバータなどの論理回路からなる遅延素子で構成されていてもよい。

【0062】なお、この第2実施例において、インバータI4、I6、I8、I10およびスイッチング素子*S1、*S2、*S3、*S4に代えて、トライステートバッファで構成されていてもよい。また、インバータI3～I10に代えて、抵抗で構成されていてもよい。これらについては、以下の実施例においても同様である。

【実施例3】図9は、この発明に従った第3実施例である半導体集積回路装置の位相制御回路およびデコーダの構成を示すブロック図である。

【0063】図9に示されるように、この位相制御回路44は、互いに直列に接続された4つの遅延素子D9～D12を含む。さらに、これら遅延表示D9～D12は、1つのインバータI4、I6、I8、I10と、2つのスイッチング素子S1、*S1～S4、*S4とを含む。

【0064】この位相制御回路44は、図8に示した位相制御回路40からインバータI3、I5、I7およびI9が取除かれたものと同等である。なお、図中同一符号で示された部分は同一または相当部分を示し、このことは以下の図においても同様である。

【実施例4】図10は、この発明に従った第4実施例である半導体集積回路装置の位相制御回路およびデコーダの構成を示すブロック図である。

【0065】図10に示されるように、この位相制御回路46は、4つのインバータI11～I14と、4つのスイッチング素子S1～S4と、容量C1と、インバータI15とを含む。

【0066】この実施例では、1つのインバータI11～I14と、それに直列に接続されたスイッチング素子S1～S4と、容量C1とによって1つの遅延素子が構成される。それらインバータI11～I14内部の終段トランジスタのサイズが異なり、各インバータI11～I14の駆動能力が異なる。そのため、各インバータI11～I14の出力インピーダンスと容量C1とから構成されるRC回路の時定数が異なり、各遅延素子が有する遅延時間はすべて異なる。

【0067】この位相制御回路46によれば、デコーダ18からの制御信号Y1～Y4にตอบสนองしていずれかのスイッチング素子S1～S4がターンオンし、種々の遅延時間が実現される。

【0068】なお、位相制御回路46の終段にあるインバータI15は、波形整形を行なうものであり、特になくともよい。また、デコーダ18は図2に示したものと同じであるので、その真理値表も表1に示したものと同一である。さらに、容量C1は、浮遊容量により構成されてもよい。

【0069】この実施例によれば、前述した第2および第3実施例よりもその素子の数は少なくて済む。

【実施例5】図11は、この発明に従った第5実施例である半導体集積回路装置における位相制御回路の構成を示す回路図である。

【0070】図11に示されるように、この位相制御回路48は、3つのインバータI16～I18と、2つのスイッチング素子S1、S2と、容量C1と、インバータI15とを含む。

【0071】この実施例では、1つのインバータI16

11

だけにスイッチング素子が接続されておらず、このインバータI16は常に第1のクロック信号CLK1を遅らせる。各インバータI16~I18の駆動能力がすべて異なるのは、前述した第4実施例と同様である。

【0072】この実施例によれば、前述した第4実施例よりもさらにその素子の数が削減される。また、スイッチング素子S1、S2が2つであるので、コード信号(たとえばバイナリ信号)X1、X2をそのまま利用することができ、デコードも不要になる。

【実施例6】図12は、この発明に従った第6実施例である半導体集積回路装置における位相制御回路の構成を示す回路図である。

【0073】図12に示されるように、この位相制御回路50は、出力インピーダンスを変化させることができるインバータ52と、容量C1とインバータI15とを含む。

【0074】さらに、このインバータ52は、その入力端子に接続されるNチャネルMOSトランジスタQ3およびPチャネルMOSトランジスタQ4を含み、さらにそれらトランジスタQ3、Q4の各ソースに接続された3つのNチャネルMOSトランジスタQ5~Q7およびPチャネルMOSトランジスタQ8~Q10を含む。

【0075】これら3つのトランジスタQ5~Q7またはQ8~Q10のサイズはそれぞれ異なり、各トランジスタが有するドレイン抵抗が異なる。

【0076】したがって、トランジスタQ6、Q7またはQ9、Q10のゲートにコード信号X1、X2または*X1、*X2を印加することによって、このインバータ52の出力インピーダンスを変化させることができる。そのため、このインバータ52の出力インピーダンスおよび容量C1から構成されるRC回路の定数を変化させることができ、その結果、この位相制御回路50が有する遅延時間を変化させることができる。

【0077】この実施例では、負論理のコード信号*X1、*X2を発生するインバータが必要になるが、前述した第5実施例よりもさらにその素子の数が削減される。

【実施例7】これまでの第2実施例ないし第6実施例では、基本的にゲート遅延が利用されているので、大きな遅延時間を生じさせようとすると、トランジスタのサイズが大きくなったり、インバータの数が増えるという問題がある。

【0078】図13は、この問題を解決するためのもので、この発明に従った第7実施例である半導体集積回路装置における位相制御回路54およびデコード18の構成を示すブロック図である。

【0079】図13に示されるように、この位相制御回路54は、駆動能力が極めて小さいインバータI19と、容量C2と、論理しきい値の異なる4つのインバータI20~I23と、4つのスイッチング素子S1~S

12

4と、インバータI15とを含む。

【0080】この位相制御回路54によれば、そのインバータI19および容量C2によって第1のクロック信号CLK1が鈍り、図14に示されるような電圧Vaになる。4つのインバータI20~I23は、すべてその論理しきい値が異なるので、各インバータI20~I23の出力電圧Vb、Vc、VdおよびVeは、図14に示されるように、それぞれ異なるタイミングで立下がるとともに、立上る。

【0081】なお、この実施例では、インバータI20、I21、I22、I23の順で論理しきい値が低くなる。

【0082】また、インバータI19の出力ノードにおける電圧Vaの鈍り量は、インバータI19の出力インピーダンスに依存する。したがって、図15に示されるように、インバータI19を構成するNチャネルMOSトランジスタQ3およびPチャネルMOSトランジスタQ4の各ソースにNチャネルMOSトランジスタQ11およびPチャネルMOSトランジスタQ12を接続し、これらトランジスタQ11およびQ12の各ゲートに印加される電圧Z1およびZ2を制御することによって、任意の鈍り量を実現することもできる。

【実施例8】前述した第7実施例ではインバータI19の出力ノードにおける電圧Vaの鈍りが非線形であるため、遅延時間を調整することが困難である。

【0083】図16は、この問題を解決するためになされたもので、この発明に従った第8実施例である半導体集積回路装置における位相制御回路およびデコードの構成を示すブロック図である。

【0084】図16に示されるように、この位相制御回路56は、位相制御回路54のインバータI19および容量C2に代えて、積分器58を含む。積分器58は、たとえばオペアンプなどから構成される積分回路、または容量および抵抗から構成されるCR回路などである。

【0085】この位相制御回路56によれば、図17に示されるように、積分器58の出力電圧Vaが線形化されるので、前述した第7実施例と比較して遅延時間を容易に調整することができる。また、積分器58を構成する容量または抵抗の値を変えることによって出力電圧Vaの波形の傾きを制御することもでき、これにより各インバータI20~I23の有する遅延時間を一定時間ずつ長くすることができる。

【実施例9】前述した第7および第8実施例では、デューティ比が変化するという問題がある。

【0086】図18は、このような問題を解決するためになされたもので、この発明に従った第9実施例である半導体集積回路装置における位相制御回路およびデコードの構成を示すブロック図である。

【0087】図18に示されるように、この位相制御回路60は、前述した位相制御回路56に加えてさらに、

13

インバータ124および125と、ORゲートO1、O2、O3、O4、O5およびO6と、ANDゲートA5、A6、A7およびA8を含む。

【0088】図19は、この位相制御回路60を構成するインバータ120、121、122および123の出力電圧 V_B 、 V_C 、 V_D および V_E と、ORゲートO1、O2、O3、O4、O5およびO6の出力電圧 V_F 、 V_H 、 V_K 、 V_J 、 V_N および V_M と、ANDゲートA5、A6、A7およびA8の出力電圧 V_G 、 V_I 、 V_L および V_O とを表わすタイムチャートである。

【0089】図19のタイムチャートに示されるように、この位相制御回路60によれば、入力された第1のクロック信号CLK1と同じデューティ比50%の第2のクロック信号CLK2が得られる。また、第2のクロック信号CLK2の遅延量は、デコード18によって変えることができる。

【0090】次の表3は、位相が180°シフトされたときの遅延率を100%とした場合において、各ANDゲートA5、A6、A7およびA8の出力電圧 V_G 、 V_I 、 V_L および V_O の遅延率およびデューティ比を表わす。

【0091】

【表3】

	遅延率	デューティ比
V_G	20%	50%
V_I	40%	50%
V_L	60%	50%
V_O	100%	50%

【0092】ここで、位相を180°～360°の間でシフトする場合は、第1のクロック信号CLK1の反転信号*CLK1を利用して、上記位相制御回路60と同じ回路に構成すればよい。

【0093】なお、遅延時間をどのような範囲で変化させるかは設計段階で決定される。これまでの実施例では、遅延時間の異なる4種類の遅延素子が用いられているが、設計段階における判断によって、遅延素子の数、および遅延時間は適宜決定される。

【実施例10】図20は、この発明に従った半導体集積回路装置の第10実施例を示すブロック図である。

【0094】図20に示されるように、この半導体集積回路装置62は、デジタル回路12、アナログ回路14、位相制御回路16、およびデコード18を含む。この第10実施例が上記第1実施例と異なるところは、第1実施例ではアナログ回路14に輸入されるクロック信号をデジタル回路12に輸入されるクロック信号より

14

も遅らせたのに対して、この第10実施例ではアナログ回路14に輸入される第2のクロック信号CLK2の位相よりもデジタル回路12に輸入される第1のクロック信号CLK1の位相を遅らせているところである。

【0095】この位相制御回路16は、クロック信号入力端子20に印加された第2のクロック信号CLK2を一定時間だけ遅らせ、それを第1のクロック信号CLK1として出力する。

【0096】この実施例から明らかなように、位相が遅らされるクロック信号は、アナログ回路またはデジタル回路のいずれに輸入されるクロック信号でもよい。

【実施例11】図21は、この発明に従った第11実施例である半導体集積回路装置の構成を示すブロック図である。

【0097】図21に示されるように、この半導体集積回路装置64は、デジタル回路12、アナログ回路14、第1および第2の位相制御回路16aおよび16b、およびデコード18を含む。この第11実施例が上記第1および第10実施例と異なるところは、デジタル回路12に輸入される第1のクロック信号CLK1およびアナログ回路14に輸入される第2のクロック信号CLK2ともに遅らされているところである。すなわち、クロック信号入力端子20に印加された基準クロック信号CLK0は、第1の位相制御回路16aにより一定時間だけ遅らせられ、第1のクロック信号CLK1として出力されるとともに、基準クロック信号CLK0は、第2の位相制御回路16bにより一定時間だけ遅らせられ、第2のクロック信号CLK2として出力される。第1および第2の位相制御回路16aおよび16bの遅延時間は、デコード18からの制御信号Xによって制御される。

【0098】この実施例から明らかなように、第1および第2のクロック信号CLK1およびCLK2の位相をそれぞれ異なる時間だけ遅らせることによって、それらの位相を相対的に一定量だけシフトするようにしてもよい。

【実施例12】図22は、この発明の第12実施例である半導体集積回路装置の構成を示すブロック図である。

【0099】図22に示されるように、この半導体集積回路装置66は、デジタル回路12、アナログ回路14、位相制御回路16、およびデコード18を含む。

【0100】この第12実施例が上記第1ないし第3実施例と異なるところは、アナログ回路14がクロック信号によって制御されていないところである。このアナログ回路14は、入力端子68からのアナログ入力信号を処理し、その結果をアナログ出力信号として出力端子70から外部へ出力する。

【0101】この場合、アナログ回路14はクロック信号によって制御されていないので、デジタル回路12からのノイズによる干渉を低減できないようにも考えら

れるが、そのアナログ出力信号が、クロック信号によって制御された外部のアナログ回路に入力される場合は、その外部のアナログ回路に入力される第2のクロック信号CLK2の位相と、デジタル回路12に入力される第1のクロック信号CLK1の位相とをシフトすることによって、その外部のアナログ回路の性能を最適化することができる。

【0102】このように、デジタル回路と同一基板上に形成されたアナログ回路はクロック信号に基づいて動作しなくても、そのアナログ回路に接続される外部のアナログ回路がクロック信号によって制御されている場合は、それらクロック信号の位相を相対的にシフトすることによって、デジタル回路がアナログ回路へ与えるノイズによる影響を最小限に抑えることができる。

【0103】

【発明の効果】この発明に従った半導体集積回路装置は、デジタル回路を制御する第1のクロック信号と、アナログ回路を制御する第2のクロック信号との位相を相対的にシフトし得る複数の位相シフト素子を予め用意しておき、それら位相シフト素子のうちいずれかを活性化することによってその位相を相対的に一定量だけシフトするように構成されているので、いかなる構成のアナログ-デジタル混載型の半導体集積回路装置であってもデジタル回路およびアナログ回路間におけるノイズによる影響を最小限に低減することができ、それら回路の性能を常に最適化することができる。

【0104】一方、この発明に従った半導体集積回路装置の製造方法は、デジタル回路を制御する第1のクロック信号と、アナログ回路を制御する第2のクロック信号との位相を相対的にシフトし得る位相シフト素子を予め複数形成しておき、その位相シフト素子の中からデジタル回路およびアナログ回路間におけるノイズによる影響が最小になる位相シフト素子を探し出し、それを固定するようにしているので、デジタル回路およびアナログ回路が常に最適に動作する半導体集積回路装置を極めて容易に製造することができる。

【0105】また、この発明に従った半導体集積回路装置の製造方法は、試作段階で最適の位相シフト量を備えた位相シフト素子を探し出し、量産段階でその探し出した位相シフト素子を固定した状態で複数の位相シフト素子を形成するようにしているので、試作段階から量産段階へ移行するときに少なくとも一度だけマスクの改訂を行なうだけでよく、極めて簡単にデジタル回路およびアナログ回路を制御するクロック信号の位相を最適にシフトしたアナログ-デジタル混載型の半導体集積回路装置を製造することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例による半導体集積回路装置の構成を示すブロック図である。

【図2】図1に示された半導体集積回路装置の位相制御

回路およびデコーダの具体的な構成を示す回路図である。

【図3】この発明の第1実施例による半導体集積回路装置の製造方法において、最適の遅延時間を有する遅延素子を探し出す方法を説明するためのブロック図である。

【図4】図1および図2に示された半導体集積回路装置において、最適の遅延時間を有する遅延素子が活性化された状態のデコーダおよび位相制御回路を示す回路図である。

【図5】図2および図4に示されたインバータの具体的な構成を示す平面図である。

【図6】図5に示されたインバータの回路図である。

【図7】図5に示されたインバータの配線パターンを量産用の配線パターンに変更した様子を示す平面図である。

【図8】この発明の第2実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図9】この発明の第3実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図10】この発明の第4実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図11】この発明の第5実施例による半導体集積回路装置における位相制御回路を示す回路図である。

【図12】この発明の第6実施例による半導体集積回路装置における位相制御回路を示す回路図である。

【図13】この発明の第7実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図14】図13に示された位相制御回路の動作を示すタイムチャートである。

【図15】図13に示された位相制御回路を構成する入力段のインバータの具体的な構成を示す回路図である。

【図16】この発明の第8実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図17】図16に示された位相制御回路の動作を示すタイムチャートである。

【図18】この発明の第9実施例による半導体集積回路装置における位相制御回路およびデコーダを示すブロック図である。

【図19】図18に示された位相制御回路の動作を示すタイムチャートである。

【図20】この発明の第10実施例による半導体集積回路装置の構成を示すブロック図である。

【図21】この発明の第11実施例による半導体集積回路装置の構成を示すブロック図である。

【図22】この発明の第12実施例による半導体集積回

17

路装置の構成を示すブロック図である。

【図23】従来のアナログーデジタル混載型半導体集積回路装置の一例を示すブロック図である。

【図24】図23に示された半導体集積回路装置の動作を説明するためのタイミングチャートである。

【図25】従来のアナログーデジタル混載型半導体集積回路装置の他の例を示すブロック図である。

【符号の説明】

10、62、64、66 半導体集積回路装置

12 デジタル回路

14 アナログ回路

16、16a、16b、40、44、46、48、50、54、56、60 位相制御回路

18、42 デコーダ

CLK1 第1のクロック信号

CLK2 第2のクロック信号

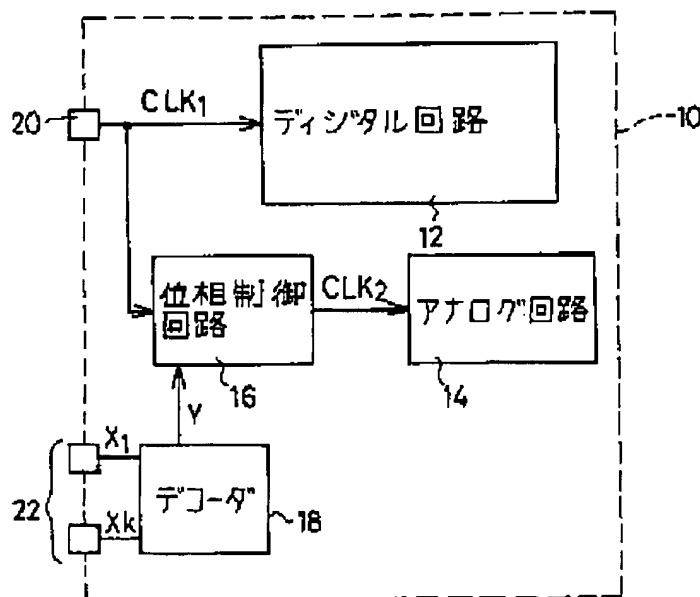
X1～Xk コード信号

D1～D4 遅延素子

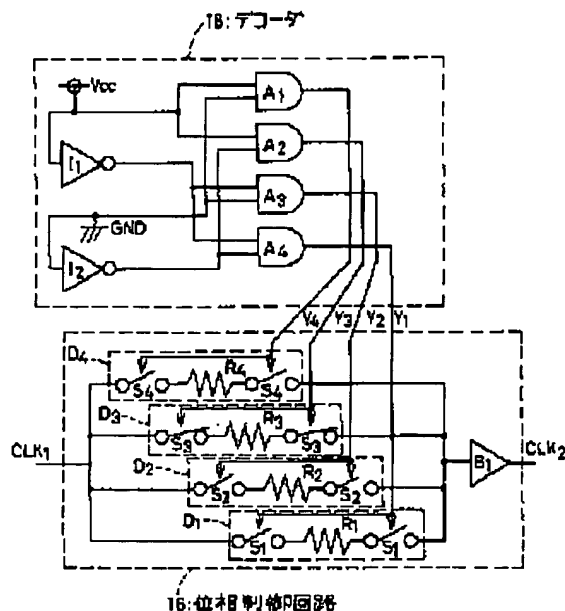
R1～R4 抵抗

10

【図1】

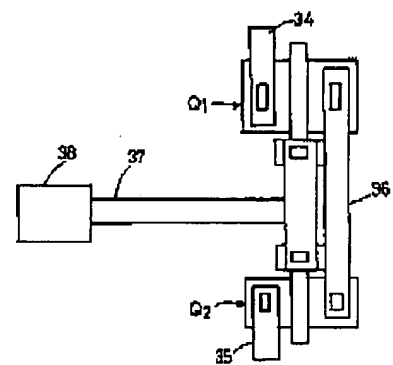


【図4】

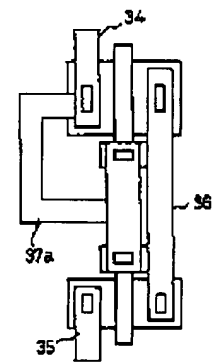


18

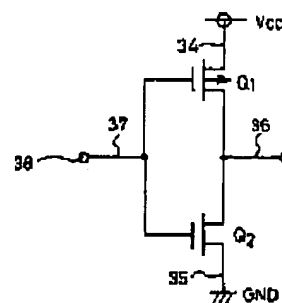
【図5】



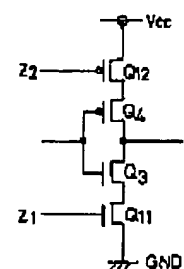
【図7】



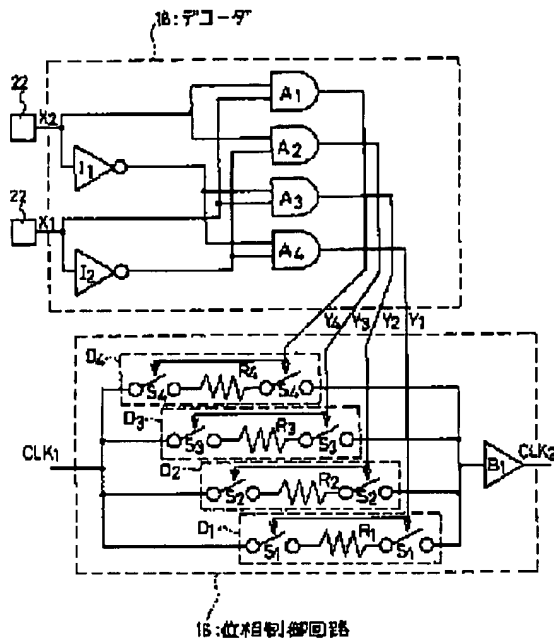
【図6】



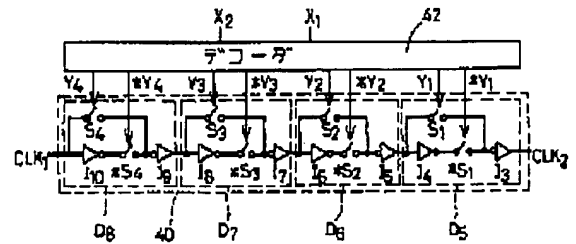
【図15】



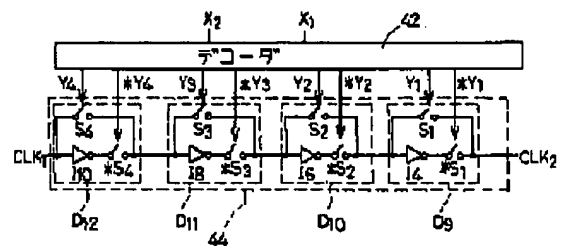
【図2】



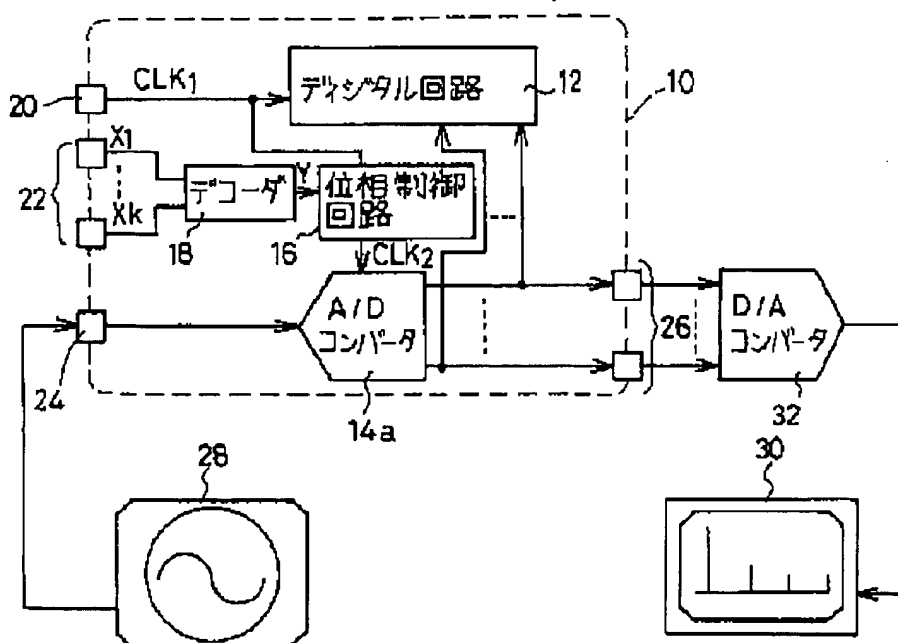
【図8】



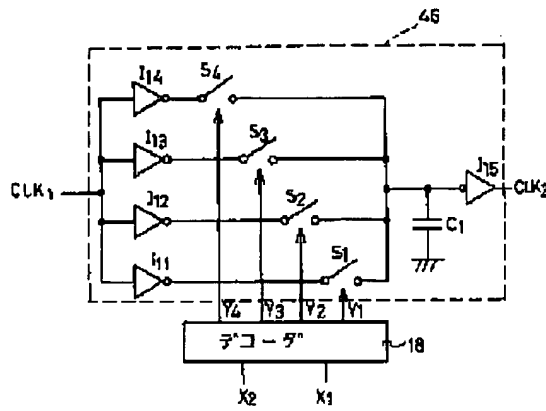
【図9】



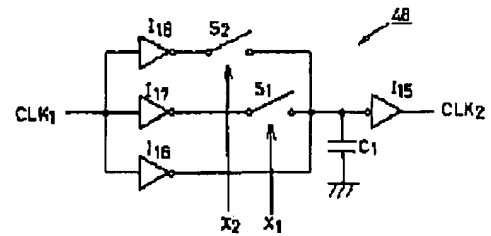
【図3】



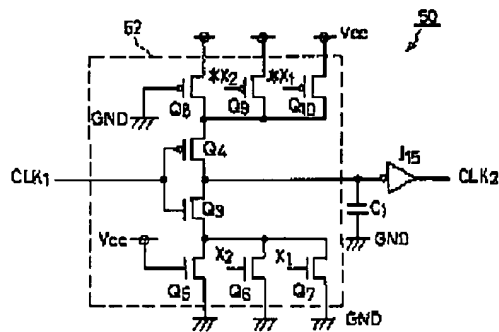
【図10】



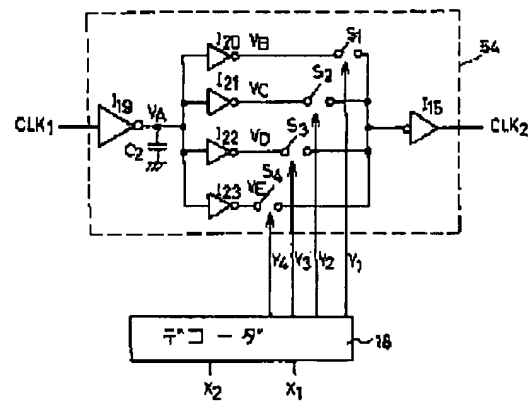
【図11】



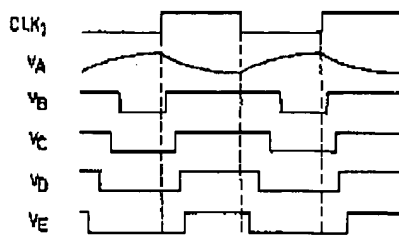
【図12】



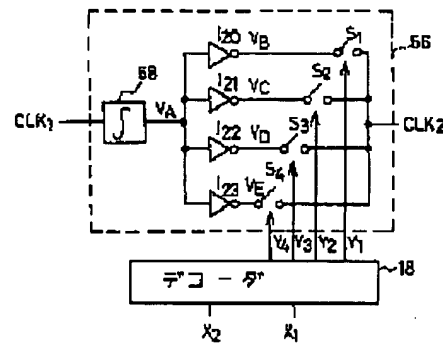
【図13】



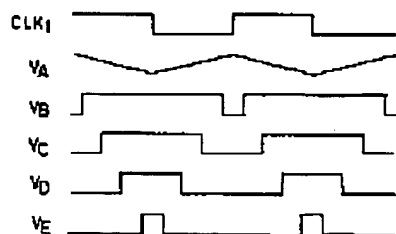
【図14】



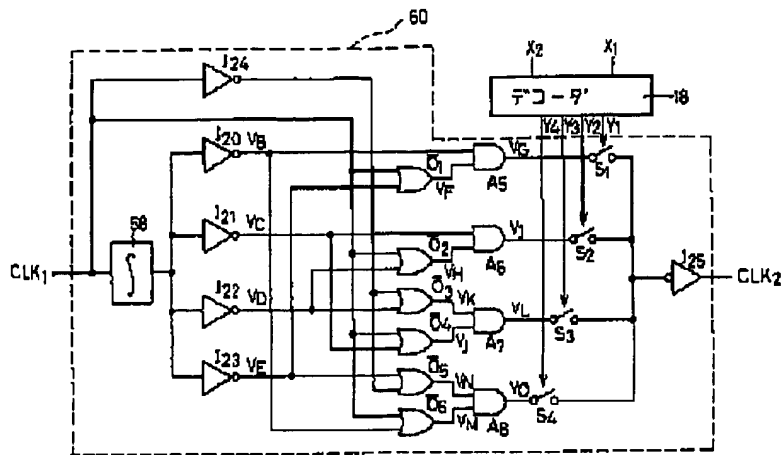
【図16】



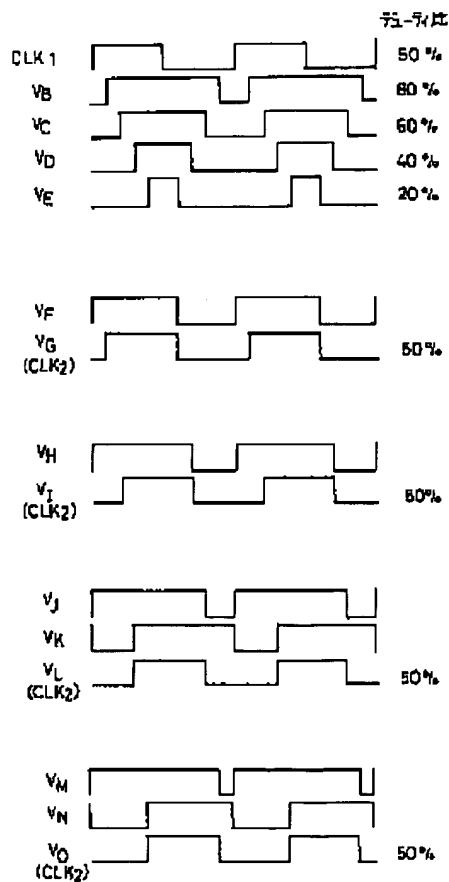
【図17】



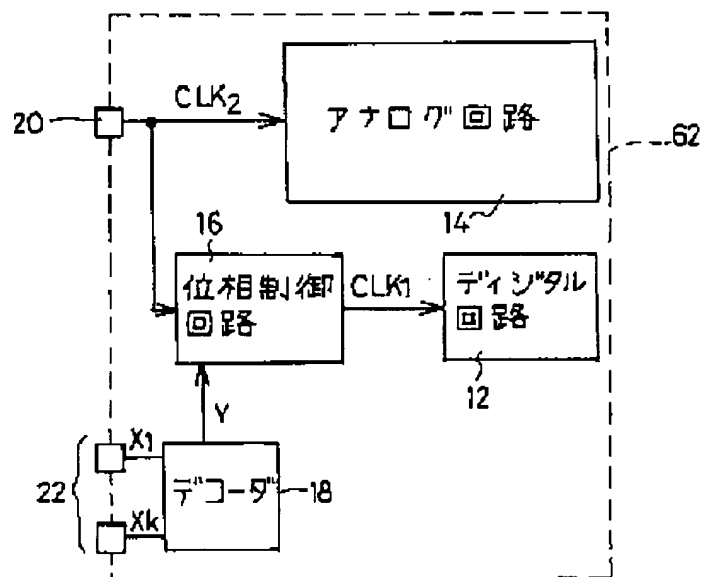
【図18】



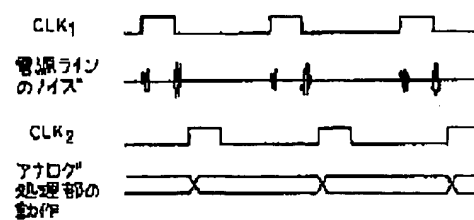
【図19】



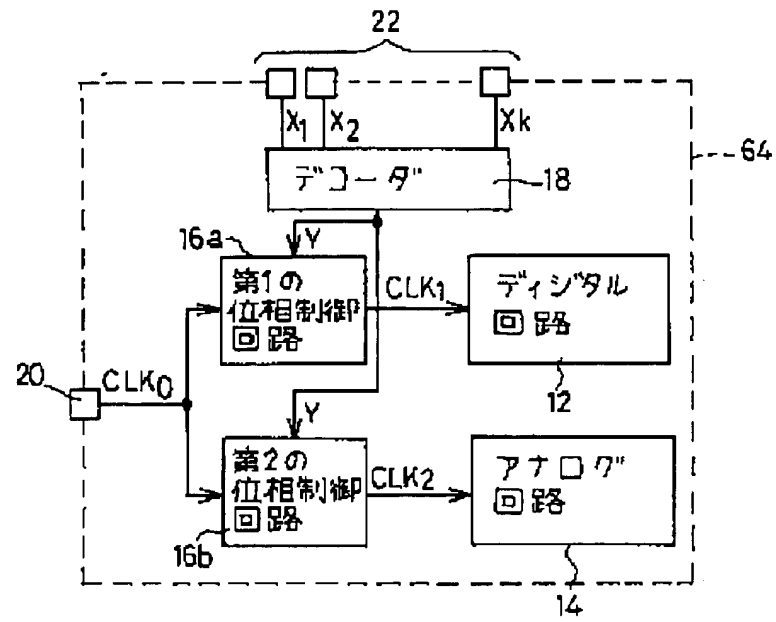
【図20】



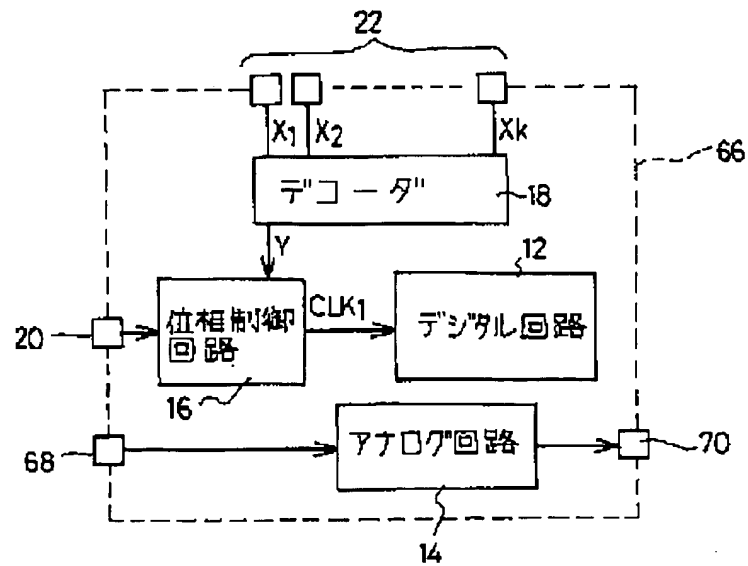
【図24】



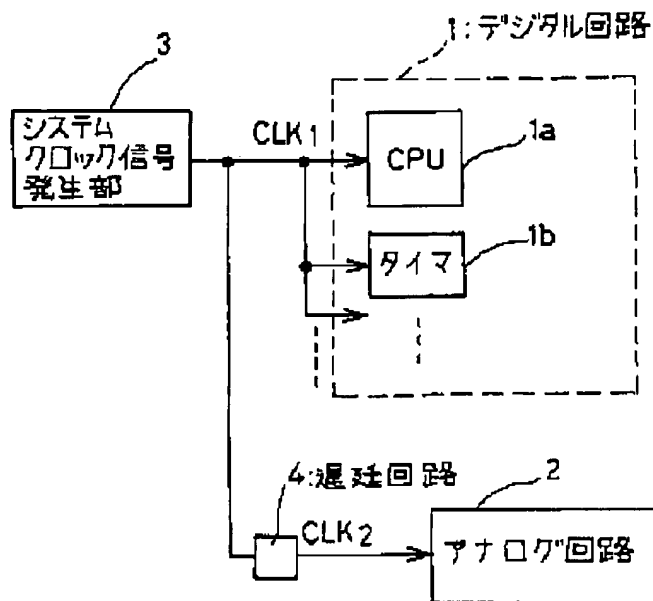
【図21】



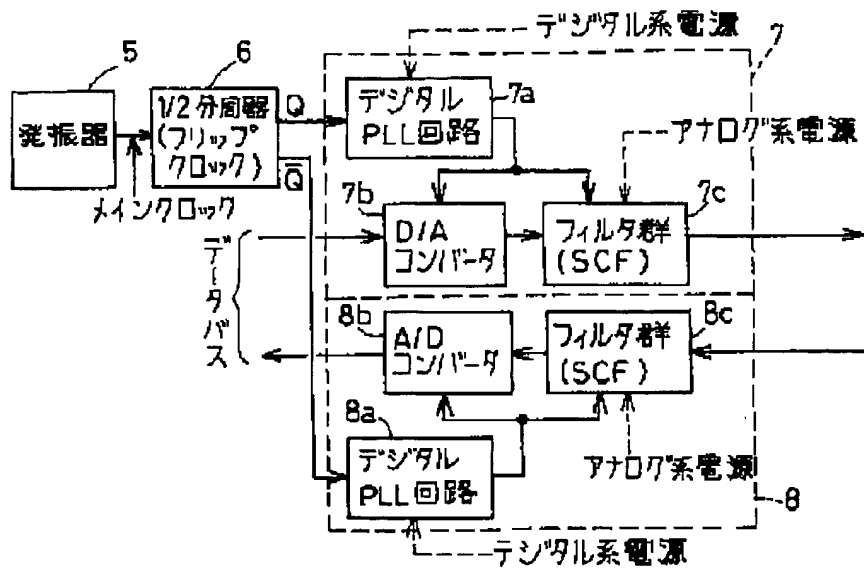
【図22】



【図23】



【図25】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] More specifically, this invention relates to the semiconductor integrated circuit equipment and its manufacture approach of the analog digital mixed-loading mold with which it comes to form an analog circuit and a digital circuit on the same semi-conductor substrate about semiconductor integrated circuit equipment and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, semiconductor integrated circuit equipments, such as LSI which comes to form an analog circuit and a digital circuit on the same silicon wafer, are offered. In LSI of such an analog digital mixed-loading mold, there is a problem that a noise mixes from a digital circuit to an analog circuit. There is the approach of shifting relatively the phase of the clock signal for operating others, an analog circuit, and a digital circuit as the cure. [approach / of devising a circuit pattern, pinout, etc.]

[0003] For example, the method of reducing interference by the noise is indicated by the 62nd page of the Institute of Electronics, Information and Communication Engineers research report ICD 89-119 "AD / video signal processing LSI with a built-in DA converter" by arranging the output buffer switched to an A-D converter and asynchronous in a location distant from an A-D converter.

[0004] On the other hand, drawing 23 is the block diagram showing the configuration of the one-chip microcomputer which is semiconductor integrated circuit equipment of the analog digital mixed-loading mold indicated by JP,3-75976,A.

[0005] As shown in drawing 23 , this one-chip microcomputer consists of a digital circuit 1 containing CPU1a, timer 1b, etc., and an analog circuit 2 containing an A/D converter etc.

[0006] A digital circuit 1 operates based on the 1st clock signal CLK1 from the system clock signal generator 3. An analog circuit 2 operates based on the 2nd clock signal CLK2 with which the phase of the 1st clock signal CLK1 was delayed by the delay circuit 4.

[0007] As shown in the timing chart of drawing 24 , in a digital circuit 1, a noise occurs in connection with the 1st start and fall of a clock signal CLK1. For example, when the digital circuit 1 and the analog circuit 2 are connected to the same power-source line, the noise generated in the digital circuit 1 is mixed to an analog circuit 2 through the power-source line. The effect by this noise makes an analog circuit 2 malfunction, and degrades that engine performance. the electromagnetism in which the effect by the noise from such a digital circuit 1 to an analog circuit 2 includes not only a power-source line but the interior of a silicon wafer and wiring -- it is generated through various paths, such as space.

[0008] So, in this microcomputer, the phase of the 2nd clock signal CLK2 which operates an analog circuit 2 is delayed by the delay circuit 4 rather than the phase of the 1st clock signal CLK1. For this reason, an analog circuit 2 does not malfunction.

[0009] On the other hand, drawing 25 is the block diagram showing the configuration of the modem (MODEM) of the full duplex mold which is semiconductor integrated circuit equipment of the analog digital mixed-loading mold indicated by JP,2-28707,A.

[0010] As shown in drawing 25 , this modem consists of the oscillator 5 which oscillates the Main clock, 1/2 counting-down circuit 6 which consists of flip-flops etc., a sending circuit 7, and a receiving circuit 8.

[0011] A sending circuit 7 and a receiving circuit 8 consist of digital PLL circuits 7a or 8a, D/A converter 7b or A/D converter 8b, and filter groups 7c or 8c that consist of SCF (SwitchedCapacitor Filter) etc., respectively.

[0012] A digital circuit and an analog circuit are formed on the same substrate, and by supplying the clock mutually shifted to them, this modem is constituted so that the effect of the noise mixed from a digital circuit to an analog circuit through a power-source line etc. may be prevented.

[0013]

[Problem(s) to be Solved by the Invention] However, in the semiconductor integrated circuit of a actual analog digital mixed-loading mold, the phase of a clock signal just before being impressed to an analog circuit or a digital circuit is already behind the phase of the clock signal impressed from the outside with wiring resistance and stray capacity. Moreover, when a digital circuit operates based on the clock signal of the same phase altogether, it is few, and in almost all cases, it operates based on the clock signal which has the phase from which versatility differs. Furthermore, it is not few also when two or more kinds of clock signals which have a different frequency inside a digital circuit are generated. In addition, an analog circuit and a digital circuit are asynchronous, and may operate.

[0014] For this reason, it is difficult to predict, before designing the optimal phase contrast of each clock signal impressed to an analog circuit and a digital circuit. For this reason, it was very difficult to set up the engine performance of the semiconductor integrated circuit equipment of an analog digital mixed-loading mold the optimal.

[0015] That is, since the phase contrast of each clock signal impressed to an analog circuit and a digital circuit based on prediction was set up conventionally, it was difficult to make the engine performance of an analog circuit the optimal. Moreover, in order to make the engine performance of an analog circuit the optimal, the mask needed to be revised repeatedly and the delay circuit equipped with the optimal time delay by trial-and-error needed to be formed.

[0016] The object of this invention is offering the semiconductor integrated circuit of the analog digital mixed-loading mold with which the effect by the noise from a digital circuit to an analog circuit was reduced as much as possible.

[0017] Other objects of this invention are reducing the effect by the noise from a digital circuit to an analog circuit as much as possible by shifting relatively the phase of the clock signal of an analog circuit, and the clock signal of a digital circuit.

[0018] The object of further others of this invention is specifying easily the optimal phase contrast between the above-mentioned clock signals.

[0019] The object of further others of this invention is making the engine performance of an analog circuit the optimal with the mask of the smallest possible number of sheets.

[0020]

[Means for Solving the Problem] If it summarizes, this invention is semiconductor integrated circuit equipment, and includes one semi-conductor substrate, a digital circuit, an analog circuit, and a phase control means. A digital circuit is formed on a semi-conductor substrate, and operates based on the 1st clock signal. An analog circuit is formed on a semi-conductor substrate, and operates based on the 2nd clock signal of the same period as the 1st clock signal. Only a constant rate shifts relatively the phase of the 1st and 2nd clock signals by activating either among these phase shift components including two or more phase shift components to which a phase control means can shift relatively the phase of the 1st and 2nd clock signals.

[0021] The above-mentioned semiconductor integrated circuit equipment includes a decoding means to activate either of the phase shift components further based on the given code signal.

[0022] If other aspects of affairs of this invention are followed and this invention will be summarized, one semi-conductor substrate, The process which forms two or more phase shift components which are the manufacture approaches of semiconductor integrated circuit equipment including a digital circuit and

an analog circuit, and can shift relatively the phase of the 1st and 2nd clock signals on a semi-conductor substrate, The process which will discover whether the effect by the noise between a digital circuit and an analog circuit becomes min if any are activated among phase shift components, The process which fixes the discovered phase shift component so that it can be activated as what shifts relatively the phase of the 1st and 2nd clock signals is included.

[0023] When the aspect of affairs of further others of this invention is followed, this invention is the manufacture approach of semiconductor integrated circuit equipment including one semi-conductor substrate, a digital circuit, and an analog circuit, and includes a prototype phase and a mass production phase. A prototype phase includes the process which forms further two or more phase shift components which can shift relatively the phase of the 1st and 2nd clock signals on a semi-conductor substrate, and the process which will discover whether the effect by the noise between a digital circuit and an analog circuit becomes min if any are activated among phase shift components. A mass production phase includes the process which forms two or more phase shift components in the condition of having fixed the discovered phase shift component further as what shifts relatively the phase of the 1st and 2nd clock signals so that it could be activated.

[0024]

[Function] Since the semiconductor integrated circuit equipment according to this invention is constituted so that only a constant rate may shift relatively the phase of the 1st and 2nd clock signals by activating either among two or more phase shift components, it can set up the phase contrast between these clock signals so that the effect by the noise between a digital circuit and an analog circuit may become min.

[0025] The manufacture approach of semiconductor integrated circuit equipment of having followed this invention discovers the phase shift component from which the effect by the noise between a digital circuit and an analog circuit becomes min, and since it is fixing that discovered phase shift component as what shifts relatively the phase of the 1st and 2nd clock signals, it can manufacture easily the semiconductor integrated circuit equipment with which the engine performance of a digital circuit and an analog circuit was optimized.

[0026] Moreover, other manufacture approaches of semiconductor integrated circuit equipment of having followed this invention Since two or more phase shift components in the condition of the effect by the noise between an analog circuit and a digital circuit looking for the phase shift component which becomes min in the prototype phase, and having fixed the discovered phase shift component in the mass production phase are formed When shifting to a mass production phase from a prototype phase, the semiconductor integrated circuit equipment with which the engine performance of a digital circuit and an analog circuit was optimized can be manufactured only by revising a mask once at least.

[0027]

[Example] Next, the example of the semiconductor integrated circuit equipment according to this invention and its manufacture approach is explained in detail with reference to a drawing.

[Example 1] drawing 1 is the block diagram showing the configuration in the prototype phase of the semiconductor integrated circuit equipment of the analog digital mixed-loading mold which is the 1st example where this invention was followed.

[0028] As shown in drawing 1, this semiconductor integrated circuit equipment 10 contains a digital circuit 12, an analog circuit 14, the phase control circuit 16, and a decoder 18.

[0029] A digital circuit 12 operates based on the 1st clock signal CLK1 impressed to the clock signal input terminal 20. An analog circuit 14 operates based on the 2nd clock signal CLK2 from the phase control circuit 16. Only fixed time amount specified by the control signal Y from a decoder 18 delays the 1st clock signal CLK1 impressed to the clock signal input terminal 20, and the phase control circuit 16 outputs it as the 2nd clock signal CLK2. A decoder 18 decodes the code signals X1-Xk impressed to the code signal input terminal 22, and outputs it as a control signal Y.

[0030] Drawing 2 is the block diagram showing an example of the configuration of the phase control circuit 16 shown in drawing 1, and a decoder 18.

[0031] As shown in drawing 2, the phase control circuit 16 contains one buffer B1 connected with four

delay elements D1-D4 each other connected to juxtaposition, and these delay elements D1-D4 at the serial. Delay elements D1-D4 include two switching elements S1 opened and closed by control signals Y1-Y4 - S4, and one resistance R1-R4 connected to the serial among them. The values of resistance R1-R4 differ, respectively.

[0032] A decoder 18 carries out logical operation of the code signals X1 and X2 impressed to the code signal input terminal 22 including two inverters I1 and I2, and the four AND gates A1 - A4, and outputs the result as control signals Y1-Y4.

[0033] The following table 1 is the table of truth value showing the relation between the code signals X1 and X2 and control signals Y1-Y4.

[0034]

[A table 1]

X 2	X 1	Y 4	Y 3	Y 2	Y 1
1	1	1	0	0	0
1	0	0	1	0	0
0	1	0	0	1	0
0	0	0	0	0	1

[0035] If the code signals X1 and X2 are impressed to the code signal input terminal 22 so that clearly from this table 1, the control signals Y1-Y4 corresponding to it will be outputted by the decoder 18. The control signals Y1-Y4 are answered, and one switching element S1 of the delay elements D1-D4 - S4 carry out a turn-on. Thereby, the delay elements D1-D4 are activated.

[0036] These stray capacity and resistance R1-R4 constitute a time constant circuit including the stray capacity (not shown) to which these delay elements D1-D4 are parasitic on the output node further. Since the values of each resistance R1-R4 differ, the time constants of these delay elements D1-D4 differ altogether.

[0037] Therefore, only fixed time amount is delayed by one of the delay elements D1-D4, and the 1st clock signal CLK1 inputted into the phase control circuit 16 is outputted as the 2nd clock signal CLK2 through a buffer B1. That is, delay elements D1-D4 are phase shift components which can shift relatively the phase of the 1st clock signal CLK1 and the 2nd clock signal CLK2.

[0038] As mentioned above, while a digital circuit 12 and an analog circuit 14 are first formed on one semi-conductor substrate, the phase control circuit 16 and a decoder 18 are formed. Four delay elements D1-D4 are formed in more detail. The value of the resistance R1-R4 of these delay elements D1-D4 is set to the bottom of prediction of extent which is a design stage.

[0039] Subsequently, if any are activated among these delay elements D1-D4, the effect of the noise between a digital circuit 12 and an analog circuit 14 can discover whether it becomes min.

[0040] Drawing 3 is the block diagram showing the configuration of the equipment for evaluating the semiconductor integrated circuit equipment 10 with which A/D converter 14a was loaded together as an analog circuit 14.

[0041] As shown in drawing 3, A/D converter 14a changes into a digital signal the analog signal impressed to the analog signal input terminal 24 based on the 2nd clock signal CLK2 from the phase control circuit 16. These digital signals are outputted to the exterior through the digital signal output terminal 26 while they are given to a digital circuit 12.

[0042] In order to evaluate this semiconductor integrated circuit equipment 10, a sine wave generator 28 is connected to the analog signal input terminal 24, and a spectrum analyzer 30 is connected to the digital signal output terminal 26 through D/A converter 32.

[0043] Thereby, A/D conversion of the sine wave impressed by the sine-wave generator 28 is carried out by A/D converter 14a, D/A conversion is further carried out by D/A converter 32, and the result is displayed by the spectrum analyzer 30. If various code signals X1-Xk are inputted into the code signal input terminal 22 in this condition, based on it, one delay elements D1-D4 of the phase control circuits

16 will be activated, and the phase of the 1st clock signal CLK1 and the 2nd clock signal CLK2 will be shifted variously relatively. And when which delay elements D1-D4 are activated, it measures whether frequencies other than the frequency of the sine wave impressed by the sinusoidal generating circuit 28 become min with a spectrum analyzer 30. Namely, when the repeatability of a sine wave is the highest, as for the engine performance of A/D converter 14a, the effect by the noise which a digital circuit 12 gives to A/D converter 14a is optimized by min.

[0044] Next, the delay elements D1-D4 to which the engine performance of an analog circuit 14 becomes the optimal are fixed as what shifts relatively the phase of the 1st and 2nd clock signals CLK1 and CLK2.

[0045] For example, by "1", when X1 is "0" and the decoding signal X2 is judged that the engine performance of an analog circuit 14 becomes the optimal, as shown in drawing 4, one input of a decoder 18 is connected to a power source VCC, and, as for the input of another side, it is connected to Gland GND. When only the delay element D3 of the phase control circuit 16 is activated and the 1st clock signal CLK1 is inputted into the phase control circuit 16 by this, only the time delay which the delay element D3 has will be delayed, and it will be outputted as the 2nd clock signal CLK2.

[0046] Here, how to fix the input of a decoder 18 is explained concretely. Drawing 5 is the top view showing the concrete configuration of the inverters I1 or I2 of a decoder 18, and drawing 6 is the circuit diagram of the inverter shown in drawing 5.

[0047] As shown in drawing 5 and drawing 6, these inverters I1 or I2 contain P channel MOS transistor Q1 and the N-channel metal oxide semiconductor transistor Q2. The source of P channel MOS transistor Q1 is connected to the power node 34 connected to the power source VCC, and the source of the N-channel metal oxide semiconductor transistor Q2 is connected to the grand node 35 connected to Gland GND. The drain of P channel MOS transistor Q1 and the drain of the N-channel metal oxide semiconductor transistor Q2 are connected to the output node 36 of inverters I1 or I2, and the gate of these transistors Q1 and Q2 is connected to the inverter 1 or the input node 37 of I2. The pad 38 is formed in the edge of the output node 37.

[0048] Therefore, one delay elements D1-D4 of the phase control circuits 16 are activated by using a probe etc. for this pad 38 and impressing supply voltage or a grand electrical potential difference.

[0049] And when what the delay elements D1-D4 to which the engine performance of an analog circuit 14 becomes the optimal should be specified, for example, supply voltage should be impressed to the input node 37 for becomes clear, as shown in drawing 7, it is arranged so that input node 37a may be connected to a power node 34 using the mask used in the prototype phase, and a different mask.

[0050] As mentioned above, according to the manufacture approach of this semiconductor integrated circuit equipment, the phase contrast of the 1st and 2nd clock signals CLK1 and CLK2 can be set up the optimal so that the effect by the noise from a digital circuit 12 to an analog circuit 14 may become the minimum.

[0051] Moreover, what is necessary is to revise a mask only at once, when shifting to a mass production phase from a prototype phase since it arranged to the circuit pattern which can activate all the delay elements D1-D4 in a prototype phase and has arranged to the circuit pattern which can activate only the delay elements D1-D4 to which the engine performance of an analog circuit 14 becomes the optimal in a mass production phase.

[0052] Therefore, the integrated circuit device of a highly efficient and cheap analog digital mixed-loading mold can be manufactured for a short period of time, and where the engine performance of an analog circuit 12 is moreover made the optimal, it can ship.

[0053] Furthermore, in this example, since the decoder 18 is formed, based on two code signals X1 and X2, either of four delay elements D1-D4 is activable.

[0054] In addition, in this example, although any one of four delay elements D1-D4 is activated, two or more may be activated. in this case, the amount of delay of each delay elements D1-D4 -- being the same. This is the same also in the following examples.

[Example 2] drawing 8 is the block diagram showing the configuration of the decoder in the semiconductor integrated circuit equipment of the analog digital mixed-loading mold which is the 2nd

example according to this invention, and a phase control circuit.

[0055] As shown in drawing 8, this phase control circuit 40 contains four delay elements D5-D8 each other connected to the serial. Furthermore, these delay elements D5-D8 contain two inverters I3, I4 and I5 and I6, I7 and I8 or I9 and I10, two switching elements S1 and *S1, S2 and *S2, S3 and *S3, S4, and *S4, respectively.

[0056] A decoder 42 carries out logical operation of the given code signals X1 and X2, and outputs the result as a control signal Y1, *Y1-Y4, and *Y4.

[0057] The following table 2 is the table of truth value showing the relation between the code signals X1 and X2 and control signals Y1-Y4.

[0058]

[A table 2]

X 2	X 1	Y 4	Y 3	Y 2	Y 1
1	1	1	1	1	1
1	0	0	1	1	1
0	1	0	0	1	1
0	0	0	0	0	1

[0059] If the code signals X1 and X2 are given to a decoder 42 so that clearly from this table 2, the control signal Y1 corresponding to it, *Y1-Y4, and *Y4 will be outputted from a decoder 42. a switching element S1, *S1 - S4, and *S4 -- the control signal Y1, *Y1-Y4, and *Y4 -- answering -- a turn-on -- or a turn-off is carried out. Here, * mark attached before the signal shows that the signal is negative logic (it is an active state when it is "L" level).

[0060] Therefore, by turns, a turn-on or the effective number of an inverter which constitutes the phase control circuit 40 since a turn-off is carried out changes, and, as for a switching element S1 - S4, and switching element *S1 - S4, the whole time delay changes.

[0061] Thus, the phase shift component may consist of delay elements which consist of logical circuits, such as an inverter.

[0062] In addition, in this 2nd example, it replaces with inverters I4, I6, I8, and I10 and switching element *1, *S2, *S3, and *S4, and you may consist of tri-state buffers. Moreover, it replaces with inverters I3-I10, and you may consist of resistance. About these, it is the same also in the following examples.

[Example 3] drawing 9 is the block diagram showing the phase control circuit of the semiconductor integrated circuit equipment which is the 3rd example according to this invention, and the configuration of a decoder.

[0063] As shown in drawing 9, this phase control circuit 44 contains four delay elements D9-D12 each other connected to the serial. Furthermore, these delay displays D9-D12 contain one inverters I4, I6, I8, and I10, and two switching elements S1, *S1 - S4 and *S4.

[0064] This phase control circuit 44 is equivalent to that by which inverters I3, I5, I7, and I9 were removed from the phase control circuit 40 shown in drawing 8. In addition, the part shown with the same-among drawing sign shows the same or a considerable part, and this [its] is the same also in the following drawings.

[Example 4] drawing 10 is the block diagram showing the phase control circuit of the semiconductor integrated circuit equipment which is the 4th example according to this invention, and the configuration of a decoder.

[0065] As shown in drawing 10, this phase control circuit 46 contains four inverters I11-I14, four switching elements S1 - S4, capacity C1, and inverters I15.

[0066] One delay element is constituted from this example by one inverters I11-I14, the switching element S1 connected to it at the serial - S4, and capacity C1. The sizes of the tail end transistor of the these inverter I11 - I14 interior differ, and the actuation capacity of each inverters I11-I14 differs.

Therefore, the time constants of the RC circuit which consists of the output impedances and capacity C1 of each inverters I11-I14 differ, and all the time delays that each delay element has differ.

[0067] According to this phase control circuit 46, control signals Y1-Y4 are answered from a decoder 18, it shifts, that switching element S1 - S4 carry out a turn-on, and various time delays are realized.

[0068] In addition, the inverter I15 in the tail end of the phase control circuit 46 may shape in waveform, and there may be especially. [no] Moreover, the decoder 18 is the same as what was shown in drawing 2, and the thing which also showed the table of truth value in a table 1 since it was the same.

Furthermore, capacity C1 may be constituted by stray capacity.

[0069] According to this example, rather than the 2nd and 3rd examples mentioned above, there are few those components and it ends.

[Example 5] drawing 11 is the circuit diagram showing the configuration of the phase control circuit in the semiconductor integrated circuit equipment which is the 5th example according to this invention.

[0070] As shown in drawing 11, this phase control circuit 48 contains three inverters I16-I18, two switching elements S1 and S2, capacity C1, and inverters I15.

[0071] In this example, a switching element is not connected only to one inverter I16, but, as for this inverter I16, the 1st clock signal CLK1 is always delayed. It is the same as that of the 4th example mentioned above that all of the actuation capacity of each inverters I16-I18 differ.

[0072] According to this example, the number of those components is further reduced rather than the 4th example mentioned above. Moreover, since the number of switching elements S1 and S2 is two, the code signals (for example, binary signal) X1 and X2 can be used as they are, and a decoder also becomes unnecessary.

[Example 6] drawing 12 is the circuit diagram showing the configuration of the phase control circuit in the semiconductor integrated circuit equipment which is the 6th example according to this invention.

[0073] As shown in drawing 12, this phase control circuit 50 contains the inverter 52 to which an output impedance can be changed, and capacity C1 and an inverter I15.

[0074] Furthermore, this inverter 52 contains three N-channel metal oxide semiconductor transistors Q5-Q7 and P channel MOS transistors Q8-Q10 which were further connected to each source of these transistors Q3 and Q4 including the N-channel metal oxide semiconductor transistor Q3 and P channel MOS transistor Q4 which are connected to that input/output terminal.

[0075] These three transistors Q5-Q7 differ from the size of Q8-Q10, respectively, and the drain resistance which each transistor has differs.

[0076] Therefore, the output impedance of this inverter 52 can be changed by impressing the code signals X1 and X2 or *X1, and *X2 to transistors Q6 and Q7 or the gate of Q9 and Q10. Therefore, the time delay which the time constant of the RC circuit which consists of the output impedances and capacity C1 of this inverter 52 can be changed, consequently this phase control circuit 50 has can be changed.

[0077] Although the inverter which generates code signal *X1 of negative logic and *X2 is needed in this example, the number of those components is further reduced rather than the 5th example mentioned above.

[Example 7] In the 2nd old example thru/or the 6th old example, since gate delay is used fundamentally, when it is going to produce a big time delay, there is a problem that the size of a transistor becomes large or the number of inverters increases.

[0078] Drawing 13 is the block diagram showing the configuration of the phase control circuit 54 in the semiconductor integrated circuit equipment which is for solving this problem and is the 7th example according to this invention, and a decoder 18.

[0079] As shown in drawing 13, this phase control circuit 54 contains the inverter I19 with very small actuation capacity, capacity C2, four inverters I20-I23 with which logic thresholds differ, four switching elements S1 - S4, and inverters I15.

[0080] Electrical potential difference VA as according to this phase control circuit 54 the 1st clock signal CLK1 become blunt with that inverter I19 and capacity C2 and shown in drawing 14 It becomes. Since the logic thresholds differ altogether, four inverters I20-I23 are the output voltage VB, VC, and

VD of each inverters I20-I23. And VE It starts, while falling to timing different, respectively, as shown in drawing 14.

[0081] In addition, in this example, a logic threshold becomes low in the order of inverters I20, I21, I22, and I23.

[0082] Moreover, electrical potential difference VA in the output node of an inverter I19 It becomes blunt and depends for an amount on the output impedance of an inverter I19. Therefore, as shown in drawing 15, by [which call electrical-potential-difference Z1 and controls Z2] connecting the N-channel metal oxide semiconductor transistor Q11 and P channel MOS transistor Q12 to each source of the N-channel metal oxide semiconductor transistor Q3 which constitutes an inverter I19, and P channel MOS transistor Q4, and being impressed by each gate of these transistors Q11 and Q12, arbitration becomes blunt and an amount can also be realized.

Electrical potential difference [in / at the 7th example which carried out the [example 8] above-mentioned / the output node of an inverter I19] VA Since **** is nonlinear, it is difficult to adjust a time delay.

[0083] Drawing 16 is the block diagram showing the configuration of the phase control circuit in the semiconductor integrated circuit equipment which is the 8th example which was made in order to solve this problem, and followed this invention, and a decoder.

[0084] As shown in drawing 16, this phase control circuit 56 is replaced with the inverter I19 and capacity C2 of the phase control circuit 54, and contains an integrator 58. An integrator 58 is a CR circuit which consists of an integrating circuit which consists of operational amplifiers etc. or capacity, and resistance.

[0085] As shown in drawing 17 according to this phase control circuit 56, it is the output voltage VA of an integrator 58. Since linearization is carried out, as compared with the 7th example mentioned above, a time delay can be adjusted easily. moreover, the thing for which the capacity which constitutes an integrator 58, or the value of resistance is changed -- output voltage VA the time delay which can also control a wave-like inclination and each inverters I20-I23 have by this -- every [fixed time amount] -- it can lengthen.

There is a problem that a duty ratio changes, in the 7th and 8th examples which carried out the [example 9] above-mentioned.

[0086] Drawing 18 is the block diagram having made in order to solve such a problem, and showing the configuration of the phase control circuit in the semiconductor integrated circuit equipment which is the 9th example of *****, and a decoder in this invention.

[0087] As shown in drawing 18, in addition to the phase control circuit 56 mentioned above, this phase control circuit 60 contains further AND-gate A5, and A6, A7 and A8. [inverters I24 and I25, the OR gates O1, O2, O3, O4, O5, and O6, and]

[0088] output voltage VB, VC, and VD of the inverters I20, I21, I22, and I23 with which drawing 19 constitutes this phase control circuit 60 And VE The output voltage VF of the OR gates O1, O2, O3, O4, O5, and O6, VH, VK, VJ, and VN And VM AND-gate A5 and output voltage VG, VI, and VL of A6, A7, and A8 And VO It is the timing diagram to express.

[0089] As shown in the timing diagram of drawing 19, according to this phase control circuit 60, the 2nd clock signal CLK2 of the 50% of the same duty ratios as the 1st inputted clock signal CLK1 is acquired. Moreover, the amount of delay of the 2nd clock signal CLK2 is changeable with a decoder 18.

[0090] It sets, when a lagged rate when 180 degrees of phases are shifted is made into 100%, and the following table 3 is each AND-gate A5 and the output voltage VG, VI, and VL of A6, A7, and A8. And VO A lagged rate and a duty ratio are expressed.

[0091]

[A table 3]

	遅延率	デューティ比
V _G	20%	50%
V _I	40%	50%
V _L	60%	50%
V _O	100%	50%

[0092] What is necessary is here, just to constitute in the same circuit as the above-mentioned phase control circuit 60 using reversal signal *CLK1 of the 1st clock signal CLK1, when shifting a phase among 180 degrees - 360 degrees.

[0093] In addition, it is determined by the design stage in what kind of range a time delay is changed. Although four kinds of delay elements from which a time delay differs are used in the old example, the number of delay elements and a time delay are suitably determined by the decision in a design stage.

[Example 10] drawing 20 is the block diagram showing the 10th example of the semiconductor integrated circuit equipment according to this invention.

[0094] As shown in drawing 20, this semiconductor integrated circuit equipment 62 contains a digital circuit 12, an analog circuit 14, the phase control circuit 16, and a decoder 18. The place where this 10th example differs from the 1st example of the above has just been going to delay the phase of the 1st clock signal CLK1 inputted into a digital circuit 12 rather than the phase of the 2nd clock signal CLK2 inputted into an analog circuit 14 by this 10th example to having delayed rather than the clock signal into which the clock signal inputted into an analog circuit 14 is inputted in a digital circuit 12 in the 1st example.

[0095] Only fixed time amount delays the 2nd clock signal CLK2 impressed to the clock signal input terminal 20, and this phase control circuit 16 outputs it as the 1st clock signal CLK1.

[0096] The clock signal inputted into any of an analog circuit or a digital circuit is sufficient as the clock signal with which a phase is delayed so that clearly from this example.

[Example 11] drawing 21 is the block diagram showing the configuration of the semiconductor integrated circuit equipment which is the 11th example according to this invention.

[0097] As shown in drawing 21, this semiconductor integrated circuit equipment 64 contains a digital circuit 12, an analog circuit 14, the 1st, the 2nd phase control circuit 16a and 16b, and a decoder 18. The 2nd clock signal CLK2 inputted into the 1st clock signal CLK1 and analog circuit 14 which are inputted into a digital circuit 12 is just going to be delayed the place where this 11th example differs from the 1st and 10th examples of the above. That is, while only fixed time amount is delayed by 1st phase control circuit 16a and the reference clock signal CLK0 impressed to the clock signal input terminal 20 is outputted as the 1st clock signal CLK1, only fixed time amount is delayed by 2nd phase control circuit 16b, and the reference clock signal CLK0 is outputted as the 2nd clock signal CLK2. The time delay of the 1st and 2nd phase control circuits 16a and 16b is controlled by the control signal X from a decoder 18.

[0098] When only time amount different, respectively delays the phase of the 1st and 2nd clock signals CLK1 and CLK2, you may make it only a constant rate shift those phases relatively so that clearly from this example.

[Example 12] drawing 22 is the block diagram showing the configuration of the semiconductor integrated circuit equipment which is the 12th example of this invention.

[0099] As shown in drawing 22, this semiconductor integrated circuit equipment 66 contains a digital circuit 12, an analog circuit 14, the phase control circuit 16, and a decoder 18.

[0100] The analog circuit 14 is not just going to be controlled by the clock signal the place where this 12th example differs from the above 1st thru/or the 3rd example. This analog circuit 14 processes the analog input signal from an input terminal 68, and outputs it to the exterior from an output terminal 70

by making that result into an analog output signal.

[0101] In this case, although it is thought that interference by the noise from a digital circuit 12 cannot be reduced since the analog circuit 14 is not controlled by the clock signal. When the analog output signal is inputted into the analog circuit of the exterior controlled by the clock signal. The engine performance of the analog circuit of the exterior can be optimized by shifting the phase of the 2nd clock signal CLK2 inputted into the analog circuit of the exterior, and the phase of the 1st clock signal CLK1 inputted into a digital circuit 12.

[0102] Thus, the analog circuit formed on the same substrate as a digital circuit can suppress the effect by the noise which a digital circuit gives to an analog circuit by shifting the phase of these clock signals relatively to the minimum, when the analog circuit of the exterior connected to the analog circuit is controlled by the clock signal, even if it does not operate based on a clock signal.

[0103]

[Effect of the Invention] The 1st clock signal with which the semiconductor integrated circuit equipment according to this invention controls a digital circuit, Two or more phase shift components which can shift relatively a phase with the 2nd clock signal which controls an analog circuit are prepared beforehand. Since it is constituted so that only a constant rate may shift the phase relatively by activating either among these phase shift components. Even if it is semiconductor integrated circuit equipment of the analog digital mixed-loading mold of what kind of configuration, the effect by the noise between a digital circuit and an analog circuit can be reduced to the minimum, and the engine performance of these circuits can always be optimized.

[0104] On the other hand, the manufacture approach of semiconductor integrated circuit equipment of having followed this invention. Two or more phase shift components which can shift relatively the phase of the 1st clock signal which controls a digital circuit, and the 2nd clock signal which controls an analog circuit are formed beforehand. Since the phase shift component to which the effect by the noise between a digital circuit and an analog circuit becomes min out of the phase shift component is discovered and he is trying to fix it. A digital circuit and an analog circuit can manufacture very easily the semiconductor integrated circuit equipment which always operates the optimal.

[0105] Moreover, the manufacture approach of semiconductor integrated circuit equipment of having followed this invention. Since he is trying to form two or more phase shift components in the condition of having discovered the phase shift component equipped with the optimal amount of phase shifts in the prototype phase, and having fixed the discovered phase shift component in the mass production phase. That what is necessary is to revise a mask only at once at least when shifting to a mass production phase from a prototype phase. The semiconductor integrated circuit equipment of the analog digital mixed-loading mold which shifted the phase of the clock signal which controls a digital circuit and an analog circuit very simply the optimal can be manufactured.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The digital circuit which is semiconductor integrated circuit equipment, is formed on one semi-conductor substrate and said semi-conductor substrate, and operates based on the 1st clock signal, The analog circuit which is formed on said semi-conductor substrate and operates based on the 2nd clock signal of the same period as said 1st clock signal, By activating either among these phase shift components including two or more phase shift components which can shift relatively the phase of said 1st and 2nd clock signals Semiconductor integrated circuit equipment including a phase control means by which only a constant rate shifts relatively the phase of said 1st and 2nd clock signals.

[Claim 2] Semiconductor integrated circuit equipment including a decoding means to activate either of said phase shift components based on the given code signal according to claim 1.

[Claim 3] One semi-conductor substrate and the digital circuit which is formed on said semi-conductor substrate and operates based on the 1st clock signal, It is formed on said semi-conductor substrate, and include the analog circuit which operates based on the 2nd clock signal of the same period as said 1st clock signal. The process which forms two or more phase shift components which are the manufacture approaches of semiconductor integrated circuit equipment, and can shift relatively the phase of said 1st and 2nd clock signals on said semi-conductor substrate, The process which will discover whether the effect by the noise between said digital circuit and said analog circuit becomes min if any are activated among said phase shift components, The manufacture approach of semiconductor integrated circuit equipment including the process which fixes said discovered phase shift component so that it can be activated as what shifts relatively the phase of said 1st and 2nd clock signals.

[Claim 4] One semi-conductor substrate and the digital circuit which is formed on said semi-conductor substrate and operates based on the 1st clock signal, It is formed on said semi-conductor substrate, and include the analog circuit which operates based on the 2nd clock signal of the same period as said 1st clock signal. Are the manufacture approach of semiconductor integrated circuit equipment, and a prototype phase and a mass production phase are included. The process at which said prototype phase forms further two or more phase shift components which can shift relatively the phase of said 1st and 2nd clock signals on said semi-conductor substrate, When any are activated among said phase shift components, the process which discovers whether the effect by the noise between said digital circuit and said analog circuit becomes min is included. Said mass production phase is the manufacture approach of semiconductor integrated circuit equipment including the process which forms said two or more phase shift components where said discovered phase shift component is further fixed so that it can be activated as what shifts relatively the phase of said 1st and 2nd clock signals.

[Translation done.]